

# DM307

## Dual FSK-Modem für den DLC7

User manual Rev. c vom 7.07.07

Bei dem Dual FSK-Modem für den DLC7 handelt es sich um zwei voneinander unabhängige duplexfähige FSK Modems, die je nach Bestückung, für Datenraten von 4k8 bis 307k2 eingesetzt werden können. Für eine optimale Filterung des Sende- und Empfangssignals wird der Analogfilter für eine bestimmte Datenrate dimensioniert (siehe Tabelle). Die tatsächliche Datenrate des Modems (Digitalteil) wird über den DLC7 mittels des Baud Parameters eingestellt.

Die Datenverbindung zum DLC7 erfolgt über ein 20 poliges Flachbandkabel. Hierüber erfolgt auch die Spannungsversorgung der Modems.

Jedes der beiden Modems bietet folgende Funktionen, die über den DLC7 eingestellt werden können:

- Sendedatenrate (4k8 bis 307k2)
- Empfangsdatenrate (4k8 bis 307k2)
- 16 umschaltbare Sendevorverzerrungen (FIR Filter)
- Sendedaten Invertierung ein-/ausschaltbar
- PTT Watchdog ein-/ausschaltbar
- 4 Ausgangsleitungen steuerbar
- DPLL Auflösung umschaltbar (1/32 und 1/64 bit)
- DCD abhängige DPLL Auflösung ein-/ausschaltbar (doppelte Auflösung bei aktiver DCD)

Technische Daten:

Spannungsversorgung: 5V (stabilisiert, störungsarm)  
Stromaufnahme: ca. 60mA (ca. 30mA je Modem)  
Modulationsspannung: 0...3Vss  
HDLC-Anschluss: 20 polige Stiftleiste (Modem Disconnect)  
Transceiver-Anschluss: 9 polige Sub-D Buchse  
Platinen-Abmessungen: 100mm \* 90mm

### Bauanleitung:

Lieferumfang:

66	Widerstände
60	Kondensatoren
2	Spindeltrimmer
2	Quarze (19,66MHz)
4	Modem ICs (jeweils für RX und TX einsetzbar)
2	Operationsverstärker
2	FETs
2	Z-Dioden
2	9 pol Sub-D Buchsen mit Schrauben
4	20 polige IC-Fassungen
2	14 polige IC-Fassungen
2	20 polige Wannestiftleiste
1	Leiterplatte

### Einbau in das DLC7 Gehäuse:

Soll die Modemplatine in das DLC7 Gehäuse eingebaut werden, müssen ggf. die Kanten der Leiterplatte mit einem Messer etwas angeschrägt werden um die Leiterplatte (ca. 0,1mm zu dick) in die Schiene schieben zu können. Dies sollte vor der Bestückung getestet werden.

Die Anschlussdrähte der eingelöteten Bauteile dürfen nicht mehr als 1,5 mm überstehen, da der Abstand zwischen Platinenunterseite und Gehäuse nur max. 3,5mm beträgt.

### Bestückung:

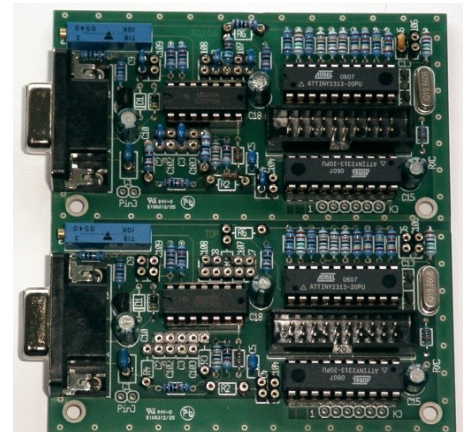
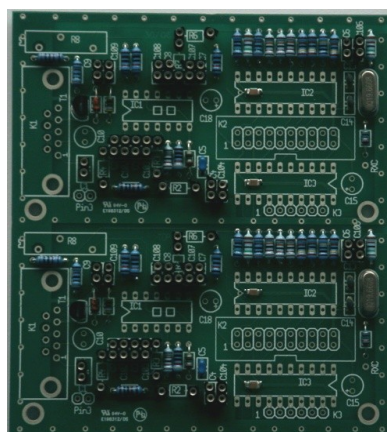
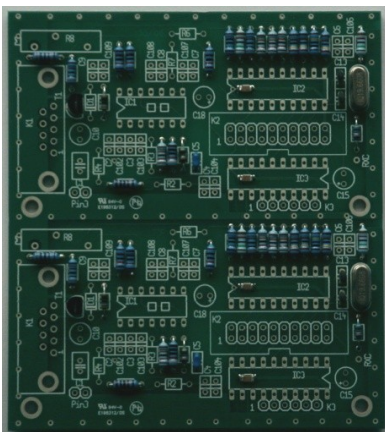
Um die Bestückung zu vereinfachen, empfiehlt sich folgende Vorgehensweise:

1. Parallele Bestückung beider Modems mit den datenratenunabhängigen Bauteilen (Bild 1)
2. Bestückung der datenratenabhängigen Bauteile, ggf. auf optionalen Präzisionsbuchsen(leisten) (zur einfachen Änderung der Analogfilter. Bild 2). Um passende Kondensatorwerte zu erhalten können jeweils 2 Kondensatoren parallel geschaltet werden (z.B. C2+C102, C6+C106 usw).

Die Reihenfolge der Bestückung sollte der Tabelle entsprechen. Buchsen und IC- Fassungen sollten zum Schluss bestückt werden, wenn alle niedrigen Teile verlötet sind.

Die Anschlussdrähte der Widerstände werden direkt am Widerstandskörper umgebogen. Die Länge der Anschlussdrähte der Bauteile, die in die optionalen Präzisionsbuchsen gesteckt werden, sollte ca. 4mm betragen.

Beim Bestücken der IC Fassungen ist unbedingt auf die richtige Richtung zu achten, damit die ICs nicht falsch herum eingesteckt werden. Dies gilt auch für die Wannentiftleiste (HDLC Anschluss).



1. Datenratenunabhängige Bauteile    2. optionale Präzisionsbuchsen    3. komplette Bestückung (1. Modem)

Der Lötanschluss mit der Bezeichnung Pin3 ist mit Pin 3 der 9 Pol Sub-D Buchse verbunden. Hier könnte z.B. die RSSI Spannung des TRX anliegen und mit dem A/D Wandler des DLC7 verbunden werden.

## Bestückung der datenratenunabhängigen Bauteile

<i>Nummer</i>	<i>Wert</i>	<i>Beschriftung</i>
R17	7K5	lila-grün-sw-braun--braun
R11	15K	br-grün-sw-rot--br
R18	15K	br-grün-sw-rot--br
R19	30K	orange-sw-sw-rot--br
R13	30K	orange-sw-sw-rot--br
R27	30K	orange-sw-sw-rot--br
R20	120K	br-rot-sw-orange--br
R21	120K	br-rot-sw-orange--br
R22	120K	br-rot-sw-orange--br
R15	120K	br-rot-sw-orange--br
R28	120K	br-rot-sw-orange--br
R23	240K	rot-gelb-sw-orange--br
R24	240K	rot-gelb-sw-orange--br
R25	240K	rot-gelb-sw-orange--br
R26	1M	br-sw-sw-gelb--br
R16	82K	grau-rot-sw-rot--br
R5	12K	br-rot-sw-rot--br
R9	12K	br-rot-sw-rot--br
R10	12K	br-rot-sw-rot--br
R14	2K2	rot-rot-sw-br--br
R1	27K	rot-lila-sw-rot--br
R12	470 Ohm	gelb-lila-sw-sw--br
C11,C12,C16	100n SMD	bei IC2, IC3 und Platinenunterseite Mitte von IC1 (Pin4,GND)
C17	1u SMD	bei IC1, Platinenunterseite IC1 (Pin 5,GND)
C5	1n	102
Q1	19,6608MHz (opt. 14,7456MHz)	19,6608 (optional: 14,7456)
D1	Z-Diode 16V	
-	hier ggf. optionale	Präzisionsbuchsen(leisten) bestücken
C13	47p	47p, grau
C14	47p	47p, grau
T1	BS170	S170
R8	10K	10k, Spindeltrimmer
IC1	14-polige Fassung	für TLC274CP
IC2	20-polige Fassung	für Microcontroller
IC3	20-polige Fassung	für Microcontroller; Richtung beachten (entgegengesetzt zu IC2)
C15	22uF Elko	22uF 50V
C18	22uF Elko	
C10	22uF Elko	Minus an Sub-D Buchse
K2	20 polige Wannentiftleiste	
K1	9 pol Sub-D Buchse	

## Bestückung der datenratenabhängigen Bauteile

Je nach Datenrate müssen diese Bauteile mit verschiedenen Werten bestückt werden. Der analoge Sendefilter (TX) und der Empfangsfilter (RX) können für unterschiedliche Datenraten bestückt werden. Zum Experimentieren mit verschiedenen Datenraten empfiehlt es sich, diese Bauteile auf Präzisionsbuchsen zu setzen, sodass sie leicht ausgetauscht werden können.

C-Wert	Beschriftung	R-Wert	Beschriftung
10p	100	2k2	rot-rot-sw-braun--braun
22p	220	10k	br-sw-sw-rot--br
47p	470	12k	br-rot-sw-rot--br
100p	101	18k	br-grau-sw-rot--br
220p	221	22k	rot-rot-sw-rot--br
470p	471	27k	rot-lila-sw-rot--br
1n	102	39k	orange-weiss-sw-rot--br
4,7n	472	47k	gelb-lila-sw-rot--br
100n	104	56k	grün-blau-sw-rot--br
		82k	grau-rot-sw-rot--br
		100k	br-sw-sw-orange--br

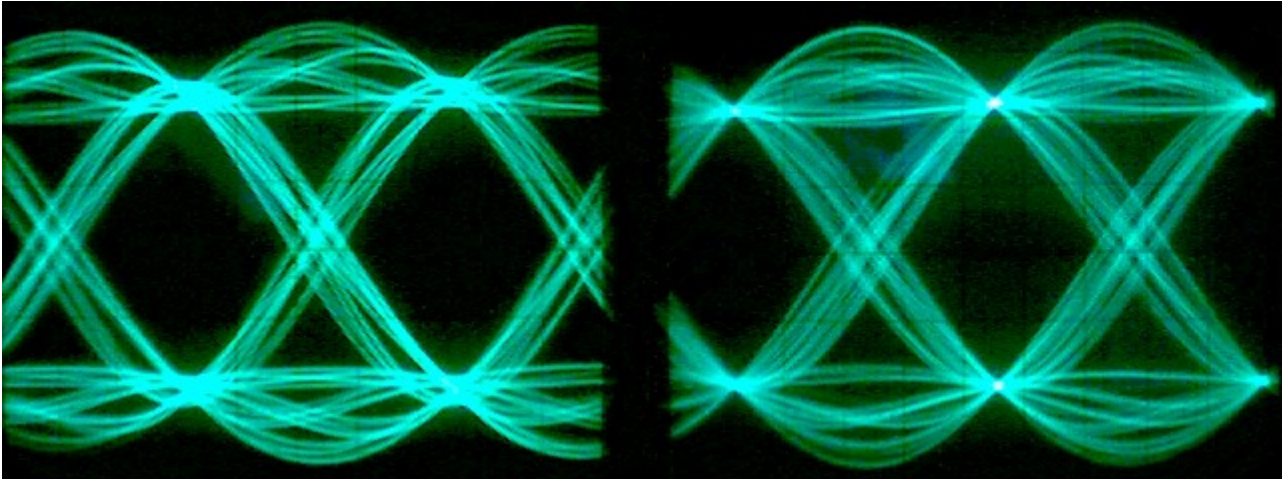
		9k6	19k2	38k4	76k8	102k4	122k88	153k6	307k2
RX	C1*	100n	100n	100n	100n	100n	100n	100n	100n
RX	C2	1n	470p	220p	100p	100p	100p	100p	100p
RX	C3	220p	100p	47p	22p	22p	22p	22p	22p
RX	C4	1n	470p	220p	100p+22p	47p	100p+47p	100p+22p	220p+100p
RX	R2	27k	27k	27k	27k	27k	12k	12k	2k2
RX	R3	39k	39k	39k	39k	39k	18k	18k	10k
RX	R4	82k	82k	82k	82k	82k	39k	39k	18k
TX	C6	4n7	2* 1n	1n	470p	470p	470p	470p	220p
TX	C7	470p	220p	100p+10p	47p	47p	47p	47p	47p
TX	C8	100p	47p	22p	10p	10p	10p	10p	10p
TX	C9	1n	470p	220p	100p	100p	47p	47p	22p
TX	R6	100k	100k	100k	100k	100k	47k	47k	22k
TX	R7	56k	56k	56k	56k	56k	27k	27k	12k

\* C1 kann auch entsprechend der Datenrate skaliert werden (z.B. bei 19k2: 47n), um die Einrastzeit zu verringern. Andererseits kann C1 auf den 2-5 fachen Wert vergrößert werden um die Dekodierbarkeit schwacher Signale zu verbessern bei gleichzeitiger Verlängerung der Einrastzeit des Modems (Verlängerung der Umladungsdauer von C1). Wenn eine schnelle S/E Umschaltung (z.B. Duplex-Links) nicht notwendig ist, sollte C1 auf ca. 470n vergrößert werden.

Hinweis: Bei 14k4, 28k8 usw. muss das Modem mit einem 14,7456MHz Quarz bestückt werden. Die Kondensatorwerte müssen entsprechend angepasst werden. Beispiel:  $28k8/38k4 = 0,75$   
 $C2(28k8) = C2(38k4) / 0,75 = 220p / 0,75 = 293p$  Praktische C2 - Werte: 220p + 47p (68p)

## Test des Modems:

Nach erfolgreicher Bestückung (Bild 3) kann das Modem mit dem DLC7 verbunden und konfiguriert werden und ein Loopback Test durchgeführt werden. Dabei wird der NF-Ausgang (Pin 2 der 9 Pol Sub-D Buchse) mit dem NF- Eingang (Pin 1 der 9 Pol Sub-D Buchse) verbunden und ein Selbst-Connect probiert. Um zu überprüfen, ob der Analogfilter richtig bestückt wurde, misst man mit einem Tastkopf (möglichst 10:1) eines Oszilloskop am Modulationsausgang (Pin 2 der Sub-D Buchse) und am Komparatorereingang (C4). Die Triggerung kann am RXC Messpunkt angeschlossen werden. Dabei sollte das FIR-Filter 0 eingestellt sein.



Augendiagramm am NF Ausgang

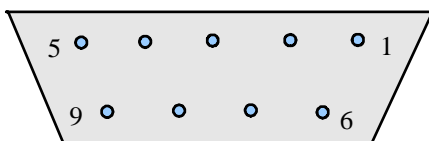
Augendiagramm am Komparator (C4)

Hinweis: Wird das Modem an einen TX mit zu kleiner Eingangsimpedanz angeschlossen, kann das Modemausgangssignal insbesondere bei hohen Datenraten (307k2) verzerrt werden. Die Verzerrung kann durch folgende Massnahmen bzw. ihrer Kombination beseitigt werden:

- Serienwiderstand von  $>3k$  zwischen Modemausgang und TX Eingang
- Parallelwiderstand von  $2k2$  am Ausgang des TLC274 Pin 14 gegen Masse
- Überbrückung des  $22\mu F$  Ausgangskondensators C10. Achtung: Gleichspannungspotential von 2V liegt nun an.

## Transceiver Anschluss

Der Transceiveranschluss erfolgt über die 9 Pol Sub-D Buchse. Die Pinbelegung entspricht im wesentlichen dem Transceiveranschluss für FSK einer RMNC3 Karte.



Sicht von **ausen** auf die 9 Pol Sub-D Modembuchse

Pin Nr.	Beschreibung
1	RX: Empfangssignal vom TRX zum Modem
2	TX: Sendesignal vom Modem zum TRX
3	nicht belegt. Verbunden mit Lötanschluss „PIN3“ (z.B. für RSSI Anschluss)
4	PTT: bei Sendung wird dieser Pin auf GND gezogen
5	nicht belegt
6	GND
7	GND
8	GND
9	GND

Hinweis: Liegt am Modulationseingang des TRX eine Gleichspannung  $>2V$  an, sollte ein weiterer  $22\mu F$  Kondensator in Serie geschaltet werden (Plus an TRX Eingang).

## HDLC-Schnittstelle des Modems

Die Verbindung zwischen Modem und DLC7 erfolgt über ein 20-poliges Flachbandkabel, welches 1:1 durchverbunden ist. Wird das Kabel selbst angefertigt, sollte darauf geachtet werden, dass die farbige markierte Leitung an Pin 1 liegt!

Nachfolgend wird die Steckerbelegung der Modem-Schnittstelle beschrieben. Dabei ist die Nummerierung der zweireihigen Stiftleisten zu beachten:

2	4	6	8	10	12	14	16	18	20
1	3	5	7	9	11	13	15	17	19

<i>Pinnnummer</i>	<i>I/O</i>	<i>Signal</i>	<i>Beschreibung</i>
1	I	Versorgungsspannung	5V Spannungsversorgung für Modem (Analogteil)
2	I	CFG (low aktiv)	Schaltet Modem in den Config Modus
3	I	Versorgungsspannung	5V Spannungsversorgung für Modem (Digitalteil)
5	I	Modemreset (low aktiv)	
7	O	DCD (low aktiv)	Carrier Detect
9	O	CTS (low aktiv)	Modem bereit (konfiguriert)
11	I	RTS (low aktiv)	aktiviert das Sendesignal des Modems. PTT des TRX wird vom Modem gesteuert (TX-tail, PTT Watchdog)
13	I	TXD	HDLC-Senddaten vom DLC7 zum Modem
15	O	RXD	HDLC-Empfangsdaten vom Modem zum DLC7
17	O	TXC	Sendetakt vom Modem zum DLC7
19	O	RXC	Empfangstakt vom Modem zum DLC7
4,6,8,...20		(Signal-) Masse	

Achtung:

Die Jumper K7 und K8 auf dem DLC7 müssen für dieses Modem jeweils auf 5V gesteckt werden!  
Die Versorgungsspannung des Modems muss gut stabilisiert sein, da sich Spannungsschwankungen auf dem Ausgangssignal bemerkbar machen können.

## Standard Einstellung:

Nach dem Anschluss der Modems an den DLC7 müssen die zwei Ports „attached“ werden. Diese Befehle stehen üblicherweise in der autoboot.net:

```
attach scc1 dm307 0 1      # DLC7 HDLC Port A (scc1) „attachen“
attach scc2 dm307 1 1      # DLC7 HDLC Port B (scc2) „attachen“
```

Die Angabe der Datenrate erfolgt über den Port Befehl. Diese Befehle stehen üblicherweise in der autoexec.net:

```
port 0 mode 0x61          #externer RX,TX Takt,NRZI, WD aktiv! (für halb duplex Links)
port 0 baud 9600          # HDLC Port A auf 9k6 einstellen (baud muss nach mode stehen!)
port 1 mode 0x61          #externer RX,TX Takt, NRZI, WD aktiv! (für halb duplex Links)
port 1 baud 153600        # HDLC Port B auf 153k6 einstellen (baud muss nach mode stehen!)
```

(X)Net übermittelt darauf die Datenrate an das Modem. Wird eine nicht einstellbare Datenrate angegeben, wird die nächst passende Datenrate eingestellt und in der Portliste angezeigt. Damit ist das Modem nun betriebsbereit.

## Erweiterte Einstellungen:

Weitere Modem Einstellungen können über den Mode Parameter erfolgen. Der Mode Parameter ist eine 32 bit Zahl deren einzelne Bits folgende Einstellungen ermöglichen:

MSB																LSB															
I----- Byte 3 -----I-----								Byte 2 -----I-----								Byte 1 -----I-----								Byte 0 -----I							
0	0	0	P	P	P	P	0	0	0	0	0	0	0	0	P	f	d	T	F	F	F	F	Q	1	1	N	0	0	0	1	
			e	3	2	1	0								T	D	D	X	I	I	I	I	U			R					
			n												W	L	L	i	n	3	2	1	0	R		Z					
															D	L	L	v					R		Z						
0	0	0	1	8	4	2	1	0	0	0	0	0	0	0	8	4	2	1	8	4	2	1	8	4	2	1	0	0	0	1	

Bit	Bezeichnung	Beschreibung
28	Pen	Port enable muss 1 sein, wenn die Ausgangsleitungen P3,P2,P1 und P0 geändert werden sollen
27	P3	Ausgangsleitung 3 liegt an K3 Pin 6 (unterhalb IC 3)
26	P2	Ausgangsleitung 2 liegt an K3 Pin 5
25	P1	Ausgangsleitung 1 liegt an K3 Pin 4
24	P0	Ausgangsleitung 0 liegt an K3 Pin 3 (nach dem Reset sind P3:0 hochohmig!)
15	PTT WD	PTT Watchog: 1: Watchdog abgeschaltet -> <b>Dauersendung möglich (Duplex-Links!)</b> 0: Modem TX und PTT wird nach ca 3,6 min Dauersendung abgeschaltet
14	fDPLL	1: schnelle DPLL (ca. 1/32 bit) 0: langsame DPLL (ca. 1/64 bit) (siehe Anhang)
13	dDPLL	1: halbe Schrittweite bei aktiver DCD (ca. 1/64 bzw. ca. 1/128 bit)
12	TXDinv	1: Sendedaten werden im Modem invertiert (ggf. notwendig bei NRZ Datenübertragung)
11	FIR3	
10	FIR2	
9	FIR1	
8	FIR0	FIR3:0 16 auswählbare <b>Sendevorverzerrungen</b> (FIR Filter 0-15)
7	QUARZ	Modem Quarzoszillator bestückt mit 1: 14,7456 MHz oder 0: 19,6608 MHZ
4	NRZ	1:NRZ 0:NRZI (bezogen auf die Datenübertragungsstrecke)

Der Modeparameter wird sinnvollerweise in hexadezimaler Schreibweise (0x...) angegeben:

0xB3B2B1B0 (B3=Byte3, B2=Byte2, B1=Byte1, B0=Byte0)

Jedes Byte setzt sich aus zwei 4 bit Feldern (nibble) zusammen. Jedes nibble entspricht einer Stelle in hexadezimaler Darstellung:

0x0000F61 das untere nibble in Byte0 hat den Wert 1, das obere nibble in Byte0 den Wert 4+2=6, das untere nibble in Byte1 hat den Wert 1+2+4+8=15 (hex F) -> FIR Filter 15 eingestellt.

Weitere Beispiele:

0x61 :Grundeinstellung: NRZI, PTT WD an, langsame DPLL, FIR Filter 0, Quarz 19,6608MHz  
0xE1 :Grundeinstellung: NRZI, PTT WD an, langsame DPLL, FIR Filter 0, Quarz 14,7456MHz  
0x0161 :wie Grundeinstellung, jedoch FIR Filter 1  
0x2F61 :wie Grundeinstellung, jedoch FIR Filter 15 (F) und DCD abhängige DPLL  
0x4AE1 :wie Grundeinstellung, jedoch FIR Filter 10 (A) und schnelle DPLL, Quarz 14,7456MHz  
0x6B61 :wie Grundeinstellung, jedoch FIR Filter 11 (B) und schnelle DPLL, DCD abhängig  
0x8061 :wie Grundeinstellung, jedoch **PTT Watchdog deaktiviert (notwendig bei Duplex Links)**  
0x14008061 :Ausgangsleitung 2 auf 1 setzen (Pen =1), PTT Watchdog deaktiviert, FIR Filter 0, NRZI

in (X)Net erfolgt die Angabe über den Port Befehl. Für Port 0 (im obigen Beispiel scc1) z.B.:

```
port 0 mode 0x0161
```

Port Befehle werden in die autoexec.net eingetragen, sodass diese bei jedem Start von (X)Net ausgeführt werden. **Der port x mode Befehl muss vor dem port x baud Befehl in der autoexec.net eingetragen sein.**

Wird das DM307 am DLC7Link angeschlossen, der DLC7Link aber von (X)Net angesteuert, werden die mode und Baud Parameter, wie oben beschrieben, in (X)Net angegeben.

Wird der DLC7Link von einer anderen Software angesteuert, die keine Parameter überträgt (Baudrate, mode,txd, usw), müssen die Werte im AXUDP Konfigurationsfile angegeben werden und im dlc7Link gespeichert werden (siehe Anleitung ab DLC7\_AXUDP\_Vxxx.PDF).

## Datenraten:

Es sind 253 verschiedene Datenrateneinstellungen möglich. Dies ermöglicht die Auswahl der optimalen Datenrate für das verwendete ZF-Filter des Link TRX. Im Anhang sind die möglichen Datenraten sowie die DPLL Auflösung in einer Tabelle angegeben. Die Angabe der Datenrate in (X)Net erfolgt ohne Kommastellen!

## Betriebshinweise:

Erste Versuche sollten mit der **Grundeinstellung (0x0061 bzw. 0x00E1)** des Mode Parameters unternommen werden.

Dabei ist insbesondere auf die **richtige Einstellung der Modulationsspannung** zu achten. Wird der Spindeltrimmer im Uhrzeigersinn gedreht, erhöht sich die Modulationsspannung. Es empfiehlt sich, die Modulationsspannung des Modems auf ca. 2V<sub>ss</sub> einzustellen und am/im Sender auf das notwendige Mass zu verringern um externe Störeinflüsse zu minimieren. Liegt am Modulationseingang des TRX eine Gleichspannung > 2V an, sollte ein weiterer Kondensator in Serie geschaltet werden (Plus an TRX Eingang).

**Die Auswahl einer geeigneten Sendevorverzerrung** erfolgt am einfachsten durch Beobachten des Sendesignals mit einem Oszilloskop auf der Gegenseite des Links und einen Bit error Test. Der Bit error Test wird durchgeführt, in dem auf der Senderseite der Calibrate Mode aktiviert wird (z.B. port 0 calib 10) und auf der Empfangsseite das RXD (Empfangsdaten) Signal am Modem mit einem Oszilloskop überprüft



wird. Jeder Bitfehler verursacht drei Signalwechsel hintereinander (Achtung: dies bezieht sich auf den DLC7. Nicht jeder TNC sendet im Calibrate Modus ein konstantes Datensignal sondern Flags). Auch während des Calibrate Signals können die FIR-Filter umgeschaltet werden. Die geringste Bitfehlerrate ergibt sich bei optimaler Augenöffnung (vertikal und horizontal). Unsymmetrische Verzerrungen (durch Frequenzdrift, falsch angepasster ZF-Filter) erhöhen die Bitfehlerrate.

Die beste **Einstellung der DPLL** hängt zum einen von der Empfangssignalqualität (Verzerrungen, Rauschen, ungenaue Datenrate) und der gewünschten Einrastzeit ab.

Grundsätzlich gilt:

Je verrauschter das Empfangssignal, desto langsamer sollte die DPLL eingestellt sein.

Langsame DPLL, wenn eine kurze Einrastzeit nicht notwendig ist (Duplex Links mit Dauersignal oder PTT Nachlauf).

Schnelle DPLL, wenn kurze Einrastzeit notwendig ist und gute Signalqualität vorhanden ist (kurzes TXD bei halbduplex Links).

Die DCD abhängige Umschaltung der DPLL funktioniert in Stellung „fast“ bei Datenraten  $\leq 204800$ Bd und bei Stellung „slow“ bei Datenraten  $\leq 76800$ Bd ( $Q=19,6608$ MHz).

Wird für die Datenübertragung der NRZ Mode benutzt, darf das Signal durch den Sender, den Empfänger oder das Modem nicht invertiert werden, da die Daten ansonsten nicht dekodiert werden können. Eine Inversion kann durch ändern von TXDinv (Bit 12) ausgeglichen werden. Im üblichen NRZI Mode hat Bit 12 keine Wirkung, da hier die Daten differenziell kodiert sind (0 -> Bitwechsel, 1-> kein Bitwechsel).

Die 4 **programmierbaren Ausgangsleitungen** je Modem sind nach dem Einschalten bzw. nach einem Reset hochohmig. Soll ein bestimmter Ausgangszustand nach dem Einschalten vorhanden sein, muss ein Pullup bzw. Pulldown Widerstand benutzt werden. Die Ausgangsleitungen werden erst nach der Einstellung (bei gesetztem Pen Bit) auf Ausgang geschaltet und der entsprechende 0V oder 5V Pegel eingestellt.

Nicht vergessen: bei Duplex-Links den PTT WD abschalten! (mode 0x8061 bzw. 0x80E1)

© M. Güttner [www.dlc7.de](http://www.dlc7.de)

Anhang:

- einstellbare Modem Datenraten
- Bestückungsplan
- Schaltplan

<i>Version</i>	<i>Änderungen</i>
	<b>11.09.06 erste Version der Anleitung</b>
<b>a</b>	<b>28.09.06</b>
	R1, R12 Farbcode korrigiert C10 anstatt C18: Minus an SUB D-Buchse Bestückung der opt. Präzisionsbuchsenleisten vor C13, C14, T1, R8
<b>b</b>	<b>20.06.07</b>
	Ergänzungen: Massnahmen bei Verzerrungen, PTT WD Hinweis, hexadezimale Schreibweise
<b>c</b>	<b>07.07.07</b>
	Alternative Quarzbestückung mit 14,7456MHz, Umrechnung der Kondensatorwerte, Mode Parameter

## DM307 Datenraten

Teiler	bit/s (Q=19,66MHz)	bit/s (Q=14,74MHz)	DPLL slow 1/n bit	DPLL fast 1/n bit
0	<b>307200</b>	<b>230400</b>	<b>64</b>	<b>64</b>
1	245760	184320	40	40
2	<b>204800</b>	<b>153600</b>	48	24
3	175542,86	131657,14	56	28
4	<b>153600</b>	<b>115200</b>	64	32
5	136533,33	<b>102400</b>	72	36
6	<b>122880</b>	92160	80	40
7	111709,09	83781,82	88	44
8	<b>102400</b>	<b>76800</b>	96	48
9	94523,08	70892,31	104	52
10	87771,43	65828,57	112	56
11	81920	61440	120	60
12	<b>76800</b>	<b>57600</b>	64	32
13	72282,35	54211,76	68	34
14	68266,67	51200	72	36
15	64673,68	48505,26	76	38
16	61440	46080	80	40
17	58514,29	43885,71	84	42
18	55854,55	41890,91	88	44
19	53426,09	40069,57	92	46
20	51200	<b>38400</b>	96	32
21	49152	36864	100	33,33
22	47261,54	35446,15	104	34,67
23	45511,11	34133,33	108	36
24	43885,71	32914,29	112	37,33
25	42372,41	31779,31	116	38,67
26	40960	30720	120	40
27	39638,71	29729,03	124	41,33
28	<b>38400</b>	<b>28800</b>	64	32
29	37236,36	27927,27	66	33
30	36141,18	27105,88	68	34
31	35108,57	26331,43	70	35
32	34133,33	25600	72	36
33	33210,81	24908,11	74	37
34	32336,84	24252,63	76	38
35	31507,69	23630,77	78	39
36	30720	23040	80	32
37	29970,73	22478,05	82	32,8
38	29257,14	21942,86	84	33,6
39	28576,74	21432,56	86	34,4
40	27927,27	20945,45	88	35,2
41	27306,67	20480	90	36
42	26713,04	20034,78	92	36,8
43	26144,68	19608,51	94	37,6
44	25600	<b>19200</b>	64	32
45	25077,55	18808,16	65,33	32,67
46	24576	18432	66,67	33,33
47	24094,12	18070,59	68	34
48	23630,77	17723,08	69,33	34,67
49	23184,91	17388,68	70,67	35,33
50	22755,56	17066,67	72	36
51	22341,82	16756,36	73,33	36,67

## DM307 Datenraten

Teiler	bit/s (Q=19,66MHz)	bit/s (Q=14,74MHz)	DPLL slow 1/n bit	DPLL fast 1/n bit
52	21942,86	16457,14	74,67	32
53	21557,89	16168,42	76	32,57
54	21186,21	15889,66	77,33	33,14
55	20827,12	15620,34	78,67	33,71
56	20480	15360	80	34,29
57	20144,26	15108,2	81,33	34,86
58	19819,35	14864,52	82,67	35,43
59	19504,76	14628,57	84	36
60	<b>19200</b>	<b>14400</b>	64	32
61	18904,62	14178,46	65	32,5
62	18618,18	13963,64	66	33
63	18340,3	13755,22	67	33,5
64	18070,59	13552,94	68	34
65	17808,7	13356,52	69	34,5
66	17554,29	13165,71	70	35
67	17307,04	12980,28	71	35,5
68	17066,67	12800	72	32
69	16832,88	12624,66	73	32,44
70	16605,41	12454,05	74	32,89
71	16384	12288	75	33,33
72	16168,42	12126,32	76	33,78
73	15958,44	11968,83	77	34,22
74	15753,85	11815,38	78	34,67
75	15554,43	11665,82	79	35,11
76	15360	11520	64	32
77	15170,37	11377,78	64,8	32,4
78	14985,37	11239,02	65,6	32,8
79	14804,82	11103,61	66,4	33,2
80	14628,57	10971,43	67,2	33,6
81	14456,47	10842,35	68	34
82	14288,37	10716,28	68,8	34,4
83	14124,14	10593,1	69,6	34,8
84	13963,64	10472,73	70,4	32
85	13806,74	10355,06	71,2	32,36
86	13653,33	10240	72	32,73
87	13503,3	10127,47	72,8	33,09
88	13356,52	10017,39	73,6	33,45
89	13212,9	9909,68	74,4	33,82
90	13072,34	9804,26	75,2	34,18
91	12934,74	9701,05	76	34,55
92	12800	<b>9600</b>	64	32
93	12668,04	9501,03	64,67	32,33
94	12538,78	9404,08	65,33	32,67
95	12412,12	9309,09	66	33
96	12288	9216	66,67	33,33
97	12166,34	9124,75	67,33	33,67
98	12047,06	9035,29	68	34
99	11930,1	8947,57	68,67	34,33
100	11815,38	8861,54	69,33	32
101	11702,86	8777,14	70	32,31
102	11592,45	8694,34	70,67	32,62
103	11484,11	8613,08	71,33	32,92

## DM307 Datenraten

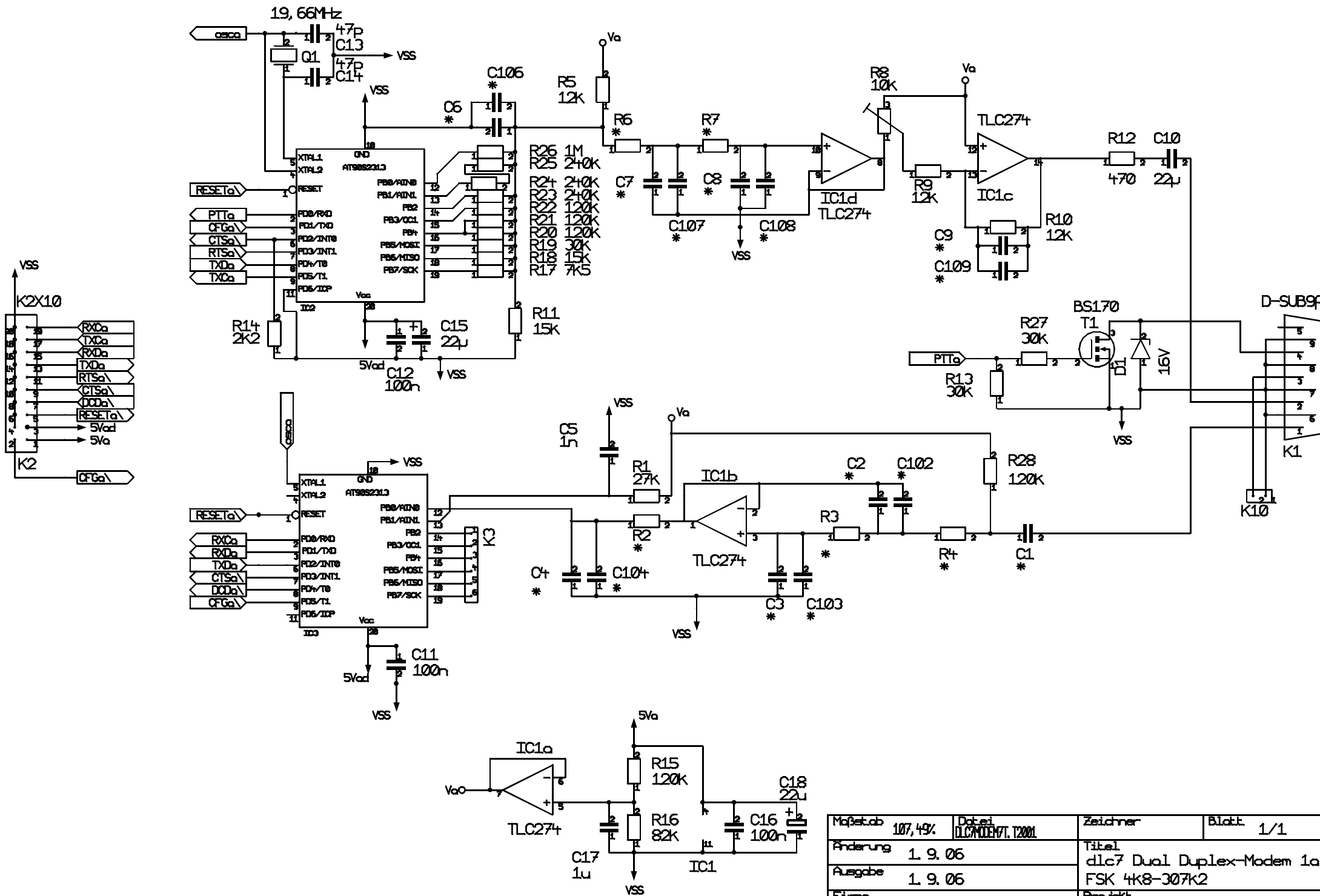
Teiler	bit/s (Q=19,66MHz)	bit/s (Q=14,74MHz)	DPLL slow 1/n bit	DPLL fast 1/n bit
104	11377,78	8533,33	72	33,23
105	11273,39	8455,05	72,67	33,54
106	11170,91	8378,18	73,33	33,85
107	11070,27	8302,7	74	34,15
108	10971,43	8228,57	64	32
109	10874,34	8155,75	64,57	32,29
110	10778,95	8084,21	65,14	32,57
111	10685,22	8013,91	65,71	32,86
112	10593,1	7944,83	66,29	33,14
113	10502,56	7876,92	66,86	33,43
114	10413,56	7810,17	67,43	33,71
115	10326,05	7744,54	68	34
116	10240	7680	68,57	32
117	10155,37	7616,53	69,14	32,27
118	10072,13	7554,1	69,71	32,53
119	9990,24	7492,68	70,29	32,8
120	9909,68	7432,26	70,86	33,07
121	9830,4	7372,8	71,43	33,33
122	9752,38	7314,29	72	33,6
123	9675,59	7256,69	72,57	33,87
124	<b>9600</b>	<b>7200</b>	64	32
125	9525,58	7144,19	64,5	32,25
126	9452,31	7089,23	65	32,5
127	9380,15	7035,11	65,5	32,75
128	9309,09	6981,82	66	33
129	9239,1	6929,32	66,5	33,25
130	9170,15	6877,61	67	33,5
131	9102,22	6826,67	67,5	33,75
132	9035,29	6776,47	68	32
133	8969,34	6727,01	68,5	32,24
134	8904,35	6678,26	69	32,47
135	8840,29	6630,22	69,5	32,71
136	8777,14	6582,86	70	32,94
137	8714,89	6536,17	70,5	33,18
138	8653,52	6490,14	71	33,41
139	8593,01	6444,76	71,5	33,65
140	8533,33	6400	64	32
141	8474,48	6355,86	64,44	32,22
142	8416,44	6312,33	64,89	32,44
143	8359,18	6269,39	65,33	32,67
144	8302,7	6227,03	65,78	32,89
145	8246,98	6185,23	66,22	33,11
146	8192	6144	66,67	33,33
147	8137,75	6103,31	67,11	33,56
148	8084,21	6063,16	67,56	32
149	8031,37	6023,53	68	32,21
150	7979,22	5984,42	68,44	32,42
151	7927,74	5945,81	68,89	32,63
152	7876,92	5907,69	69,33	32,84
153	7826,75	5870,06	69,78	33,05
154	7777,22	5832,91	70,22	33,26
155	7728,3	5796,23	70,67	33,47

## DM307 Datenraten

Teiler	bit/s (Q=19,66MHz)	bit/s (Q=14,74MHz)	DPLL slow 1/n bit	DPLL fast 1/n bit
156	7680	5760	64	32
157	7632,3	5724,22	64,4	32,2
158	7585,19	5688,89	64,8	32,4
159	7538,65	5653,99	65,2	32,6
160	7492,68	5619,51	65,6	32,8
161	7447,27	5585,45	66	33
162	7402,41	5551,81	66,4	33,2
163	7358,08	5518,56	66,8	33,4
164	7314,29	5485,71	67,2	32
165	7271,01	5453,25	67,6	32,19
166	7228,24	5421,18	68	32,38
167	7185,96	5389,47	68,4	32,57
168	7144,19	5358,14	68,8	32,76
169	7102,89	5327,17	69,2	32,95
170	7062,07	5296,55	69,6	33,14
171	7021,71	5266,29	70	33,33
172	6981,82	5236,36	64	32
173	6942,37	5206,78	64,36	32,18
174	6903,37	5177,53	64,73	32,36
175	6864,8	5148,6	65,09	32,55
176	6826,67	5120	65,45	32,73
177	6788,95	5091,71	65,82	32,91
178	6751,65	5063,74	66,18	33,09
179	6714,75	5036,07	66,55	33,27
180	6678,26	5008,7	66,91	32
181	6642,16	4981,62	67,27	32,17
182	6606,45	4954,84	67,64	32,35
183	6571,12	4928,34	68	32,52
184	6536,17	4902,13	68,36	32,7
185	6501,59	4876,19	68,73	32,87
186	6467,37	4850,53	69,09	33,04
187	6433,51	4825,13	69,45	33,22
188	6400	<b>4800</b>	64	32
189	6366,84	4775,13	64,33	32,17
190	6334,02	4750,52	64,67	32,33
191	6301,54	4726,15	65	32,5
192	6269,39	4702,04	65,33	32,67
193	6237,56	4678,17	65,67	32,83
194	6206,06	4654,55	66	33
195	6174,87	4631,16	66,33	33,17
196	6144	4608	66,67	32
197	6113,43	4585,07	67	32,16
198	6083,17	4562,38	67,33	32,32
199	6053,2	4539,9	67,67	32,48
200	6023,53	4517,65	68	32,64
201	5994,15	4495,61	68,33	32,8
202	5965,05	4473,79	68,67	32,96
203	5936,23	4452,17	69	33,12
204	5907,69	4430,77	64	32
205	5879,43	4409,57	64,31	32,15
206	5851,43	4388,57	64,62	32,31
207	5823,7	4367,77	64,92	32,46

## DM307 Datenraten

Teiler	bit/s (Q=19,66MHz)	bit/s (Q=14,74MHz)	DPLL slow 1/n bit	DPLL fast 1/n bit
208	5796,23	4347,17	65,23	32,62
209	5769,01	4326,76	65,54	32,77
210	5742,06	4306,54	65,85	32,92
211	5715,35	4286,51	66,15	33,08
212	5688,89	4266,67	66,46	32
213	5662,67	4247	66,77	32,15
214	5636,7	4227,52	67,08	32,3
215	5610,96	4208,22	67,38	32,44
216	5585,45	4189,09	67,69	32,59
217	5560,18	4170,14	68	32,74
218	5535,14	4151,35	68,31	32,89
219	5510,31	4132,74	68,62	33,04
220	5485,71	4114,29	64	32
221	5461,33	4096	64,29	32,14
222	5437,17	4077,88	64,57	32,29
223	5413,22	4059,91	64,86	32,43
224	5389,47	4042,11	65,14	32,57
225	5365,94	4024,45	65,43	32,71
226	5342,61	4006,96	65,71	32,86
227	5319,48	3989,61	66	33
228	5296,55	3972,41	66,29	32
229	5273,82	3955,36	66,57	32,14
230	5251,28	3938,46	66,86	32,28
231	5228,94	3921,7	67,14	32,41
232	5206,78	3905,08	67,43	32,55
233	5184,81	3888,61	67,71	32,69
234	5163,03	3872,27	68	32,83
235	5141,42	3856,07	68,29	32,97
236	5120	3840	64	32
237	5098,76	3824,07	64,27	32,13
238	5077,69	3808,26	64,53	32,27
239	5056,79	3792,59	64,8	32,4
240	5036,07	3777,05	65,07	32,53
241	5015,51	3761,63	65,33	32,67
242	4995,12	3746,34	65,6	32,8
243	4974,9	3731,17	65,87	32,93
244	4954,84	3716,13	66,13	32
245	4934,94	3701,2	66,4	32,13
246	4915,2	3686,4	66,67	32,26
247	4895,62	3671,71	66,93	32,39
248	4876,19	3657,14	67,2	32,52
249	4856,92	3642,69	67,47	32,65
250	4837,8	3628,35	67,73	32,77
251	4818,82	3614,12	68	32,9
252	<b>4800</b>	<b>3600</b>	64	32



Maßstab	107,4%	Datum	DLG/ML/MT, 12001	Zeichner		Blatt	1/1
Änderung	1. 9. 06			Titel		dlc7 Dual Duplex-Modem 1a	
Ausgabe	1. 9. 06			Titel		FSK 4k8-307k2	
Firma	Nachrichtentechnik Güttner		Projekt	DM307	www.dlc7.de		